

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Hak-Su OH

Application No.:

Group Art Unit:

Filed: October 2, 2003

Examiner:

For: MEMORY CONTROLLING APPARATUS PERFORMING THE WRITING OF DATA
USING ADDRESS LINE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

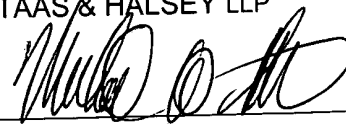
Korean Patent Application No(s). 2002-60523

Filed: October 4, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP



By:

Michael D. Stein
Registration No. 37,240

Date: October 2, 2003

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

KOREAN INDUSTRIAL PROPERTY OFFICE

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number: Patent Application No. 10-2002-60523

Date of Application: 4 October 2002

Applicant(s): Samsung Electronics Co., Ltd.

8 August 2003

COMMISSIONER

2003/8/9

1020020060523

[Document Name] Patent Application
[Application Type] Patent
[Receiver] Commissioner
[Reference No] 0002
[Filing Date] 2002.10.04
[IPC No.] G06K
[Title] Memory control apparatus of performing data writing on address line

[Applicant]
Name: Samsung Electronics Co., Ltd.
Applicant code: 1-1998-104271-3

[Attorney]
Name: Young-pil Lee
Attorney's code: 9-1998-000334-6
General Power of Attorney Registration No. 1999-009556-9

[Attorney]
Name: Hae-young Lee
Attorney's code: 9-1999-000227-4
General Power of Attorney Registration No. 2000-002816-9

[Inventor]
Name: Hak-su OH
I.D. No. 670213-1489312
Zip Code 442-470
Address: 554-1704 Shinnamushil Jinheung Apt., 963-2
Youngtong-dong, Paldal-gu, Suwon-si, Gyeonggi-do
Nationality: KR

Request for Examination] Requested

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law and request an examination according to Art. 60 of the Patent Law, as above.

Attorney
Attorney

Young-pil Lee
Hae-young Lee

[Fee]		
Basic page:	20 sheet(s)	29,000 won
Additional page:	8 sheet(s)	8,000 won
Priority claiming fee:	0 Case(s)	0 won
Examination fee:	20 Claim(s)	749,000 won
Total:		786,000 won

[Enclosures]
1. Abstract and Specification (and Drawings)

1 copy each



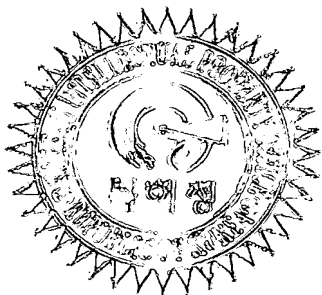
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0060523
Application Number

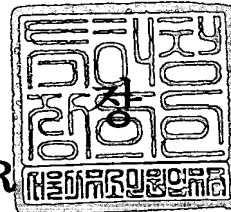
출원 년 월 일 : 2002년 10월 04일
Date of Application OCT 04, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 08 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.10.04
【국제특허분류】	G06K
【발명의 명칭】	어드레스 라인을 이용해 데이터 쓰기를 수행하는 메모리 제어 장치
【발명의 영문명칭】	Memory control apparatus of performing data writing on address line
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	오학수
【성명의 영문표기】	OH,Hak Su
【주민등록번호】	670213-1489312
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 963-2 신나무실 진흥아파트 554동 1704 호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 8 면 8,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 20 항 749,000 원

【합계】 786,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 메모리 제어 장치에 관한 것으로서, 시스템의 상위 모듈로부터 메모리 모듈의 데이터를 판독하거나 메모리 모듈에 데이터를 기록하라는 명령을 입력받아 메모리 모듈 액세스를 제어하는 장치는, 판독 또는 기록할 데이터의 어드레스 및, 기록할 데이터를 어드레스 라인을 통해 메모리 모듈로 전송하는 제1전송부; 및 메모리 모듈로부터 판독한 데이터를 데이터 전송 라인을 통해 시스템의 상위 모듈로 전송하는 제2전송부를 포함함을 특징으로 한다.

본 발명에 의하면, 기록과 판독 데이터의 전송 라인을 달리하여 메모리로부터 데이터 액세스시 병목현상이 해소됨으로써 빠른 전송률과 안정적 전송을 가능하게 한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

어드레스 라인을 이용해 데이터 쓰기를 수행하는 메모리 제어 장치{Memory control apparatus of performing data writing on address line}

【도면의 간단한 설명】

도 1은 일반적인 DDR SDRAM의 판독 및 쓰기시의 메모리 액세스 제어 방식을 보이기 위해, 메모리 제어기와 메모리 모듈을 간략히 도시한 것이다.

도 2는 도 1과 같은 종래의 메모리 판독 및 쓰기 접근 제어시 가능한 신호 흐름의 예를 도시한 타이밍도이다.

도 3은 본 발명의 메모리 제어 장치를 간략하게 도시한 것이다.

도 4는 본 발명의 메모리 제어 장치의 일실시예를 도시한 것이다.

도 5는 도 4의 메모리 제어 장치에서의 데이터 판독 및 기록 관련 타이밍도의 일실시예이다.

도 6은 본 발명의 메모리 제어 장치의 제2실시예를 도시한 것이다.

도 7은 본 발명의 메모리 제어 장치에서 메모리 기록시의 제어 방법을 설명하기 위한 예시도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 메모리 액세스 제어에 관한 것으로서, 보다 상세하게는 메모리 쓰기 접근시 동일한 전송 방향을 가지는 어드레스 라인을 통해 데이터 쓰기 전송을 수행하는 메모리 제어 장치에 관한 것이다.

<9> 최근 디램 개발 분야에서 특히 차세대 디램으로서 각광 받고 있는 것이 디디알 에스디램(double data rate SDRAM), 램버스 디램(RANBUS DRAM)과 같은 동기식 디램(SDRAM, synchronous DRAM)이다. 이들은 일반 디램에 비해 고속 데이터 액세스 동작이 가능하여 향후 램 시장을 주도할 것으로 기대되고 있다.

<10> 도 1은 일반적인 DDR SDRAM의 판독 및 쓰기시의 메모리 액세스 제어 방식을 보이기 위해, 메모리 제어기와 메모리 모듈을 간략히 도시한 것이다.

<11> 메모리 제어기(100)는 어드레스 래치(AL, Address bus latch buffer)(101), 메모리 어드레스 대기열(MAQ, Memory address queue)(102), 데이터 래치(DL, Data bus latch buffer)(103), 판독 데이터 대기열(RDQ, Read data queue)(104) 및 쓰기 데이터 대기열(WDQ, Write data queue)(105)을 포함한다.

<12> 어드레스 래치(101)는 시스템에서 메모리 제어기(100)로 입력되는 어드레스 데이터를 래치한다.

<13> MAQ(102)는 어드레스 래치(101)로부터 전송된 어드레스 데이터를 순차적으로 저장해 출력 대기시키는 버퍼이다. 어드레스 데이터는 컬럼(column) 어드레스 데이터와 로

우(row) 어드레스 데이터를 포함하고, 각 컬럼 어드레스 데이터와 로우 어드레스 데이터는 각각 12비트의 어드레스 전송 라인을 통해 출력된다.

<14> 데이터 래치(103)는 시스템으로부터 메모리 제어기(100)로 입력되거나(쓰기 데이터) 시스템으로 나가는 데이터(판독 데이터)를 래치한다.

<15> RDQ(104)는 메모리 모듈(110)에서 읽어 들인 판독 데이터를 차례로 저장한 후 데이터 래치(103)로 출력 대기시키는 버퍼이다.

<16> WDQ(105)는 데이터 래치(103)로부터 전송된, 메모리 모듈(110)에 저장할 쓰기 데이터를 차례로 저장한 후 메모리 모듈(110)로 출력 대기시키는 버퍼이다.

<17> 메모리 모듈(110)은 메모리 제어기(100)로부터 제공된 컬럼 어드레스 데이터를 해석하는 레지스터(CA)(111), 로우 어드레스 데이터를 해석하는 로우 어드레스를 해석하는 레지스터(RA)(112), CA와 RA로부터 해석된 어드레스 행열로 이뤄진 메모리 셀(113), 메모리 셀(113)에서 판독한 데이터를 임시 저장하는 판독 데이터 버퍼(Rd, Read data buffer)(114) 및 메모리 셀(113)에 기록될 데이터를 임시 저장하는 버퍼(Wr, Write data buffer)(115)를 포함한다.

<18> 도 1과 같은 일반적인 메모리 장치에서 메모리 제어기(100)가 메모리 모듈에 접근하는 동작은 다음과 같다.

<19> 먼저, 인터페이스부나 CPU(미도시)와 같은 시스템의 소정 부분으로부터 시스템 버스(미도시)를 통해 들어 오는 어드레스 데이터나 데이터를 각각 어드레스 래치(AL)(101)와 데이터 래치(DL)(103)가 순차적으로 래치한다. 래치된 어드레스 데이터는 컬럼 어드레스와 로우 어드레스로 분류되어 인코딩된 후 어드레스 큐, MAQ(102)에 순차적으로 저

장된다. 메모리 모듈 접근 프로토콜에 따라 판독 또는 쓰기 상태로의 천이를 수행한다.

<20> 판독 또는 쓰기 상태에 따라 데이터 전송이 달라진다. 메모리 판독 상태로 천이되었을 때, 데이터 라인을 통해 메모리 모듈(110)에서 메모리 제어기(100)로 풀-바이트(full-byte, 8 byte 또는 16 byte)의 데이터가 전송된다. 전송된 데이터는 메모리 제어기의 판독 데이터 큐, RDQ(113)에 순차적으로 저장된다. 데이터 래치를 통해 이 데이터를 시스템 버스로 출력시키면 메모리로부터의 데이터 판독이 완료된다. 데이터 판독 후 다음 상태 천이를 위해 상태는 아이들(idle) 상태로 돌아간다.

<21> 메모리 쓰기로 상태 천이가 이뤄질 때, 데이터의 바이트 수에 따라 쓰기 종류는 부분 쓰기(partial-write)와 전체 쓰기(full-write)로 구분되는데, 직접 메모리 액세스(DMA) 전송과 같은 방식을 제외하고는 대부분 부분 쓰기 방식이 사용된다. 전체 쓰기 방식은 전체 데이터 바이트를 한꺼번에 쓰는 방식이고 부분 방식은 전체 데이터 중 바이트 별로 데이터 쓰기를 할 수 있는 방식이다.

<22> 부분 쓰기 전송시, 1 바이트를 수정하기 위해 먼저, 해당 어드레스의 8 바이트 또는 16 바이트의 메모리 모듈로부터 데이터 라인을 통해 데이터를 읽어 온다. 수정해야 할 바이트 영역을 메모리 제어기(100)에서 수정한 후, 수정된 8 바이트(16 바이트)를 다시 데이터 라인을 거쳐 메모리 모듈로 전송한다. 메모리 쓰기 상태를 완료하면 메모리 제어기(100)는 아이들 상태로 복귀한다.

<23> 도 2는 도 1과 같은 종래의 메모리 판독 및 쓰기 접근 제어시 가능한 신호 흐름의 예를 도시한 타이밍도이다.

- <24> 시스템 클럭 신호(CK)에 동기해, 어드레스 라인을 통해 소정 프로토콜에 따라 판독시의 로우 어드레스 및 컬럼 어드레스와 쓰기시의 로우 어드레스 및 컬럼 어드레스 데이터가 전송된다. 이때 컬럼 어드레스와 로우 어드레스 데이터는 각각 카스(CAS, Column address strobe) 신호와 라스(RAS, Row address strobe) 신호에 동기하여 전송된다. CAS나 RAS 신호 및 클럭 신호들은 모두 시스템의 상위 모듈에서 발생되어 하위 모듈의 메모리 장치로 입력되고, 이들의 타이밍에 맞춰 소정 프로토콜에 따라 어드레스가 전송된다.
- <25> 도 2의 타이밍도에서 판독 어드레스와 쓰기 어드레스가 매우 가까운 시간 간격을 두고 발생할 때, 메모리 모듈(110)에서 판독되어 데이터 라인을 통해 메모리 제어기(100)로 오는 판독 데이터(read data)와, 쓰기(기록)시 메모리 제어기(100)에서 메모리 모듈(110)로 전송되어 나가는 쓰기 데이터(write data)가 동일한 데이터 라인에서 병목되는 현상이 발생할 수 있다. 이를 피하려면 판독과 쓰기 사이에 메모리 액세스의 시간 갭(gap)을 충분히 마련해야 한다. 즉, 한 상태에서의 전송이 완료될 때까지 충분히 기다린 후, 다음 상태로의 상태 천이가 이뤄져야 한다. 그러나 이러한 판독(읽기) 및 쓰기 상태들 사이의 천이 지연은 데이터 처리 지연을 가져와 시스템의 전체적인 성능 저하를 유발할 수 있다. 또한, 부분 쓰기(partial-write) 전송시 해당 부분의 데이터를 수정하기 위해 먼저 전체 읽기(full-read) 사이클로 메모리 모듈(110)로부터 수정될 데이터를 읽어 와야 하는데 이로 인한 판독-쓰기 사이클 방식의 번거로움이 발생한다. 이 역시 판독되는 사이클 만큼의 처리 속도 지연이 발생되어, 다른 전송의 처리 대기 시간을 연장시키는 문제점을 가진다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명이 이루고자 하는 기술적 과제는, 메모리의 판독 및 쓰기시 발생 가능한 데이터 병목 현상을 제거하고 데이터 처리 속도를 높이기 위한 메모리 제어 장치를 제공하는데 있다.

【발명의 구성 및 작용】

<27> 상기 과제를 해결하기 위한, 시스템의 상위 모듈로부터 메모리 모듈의 데이터를 판독하거나 메모리 모듈에 데이터를 기록하라는 명령을 입력받아 메모리 모듈 액세스를 제어하는 장치는, 판독 또는 기록할 데이터의 어드레스 및, 기록할 데이터를 어드레스 라인을 통해 메모리 모듈로 전송하는 제1전송부; 및 메모리 모듈로부터 판독한 데이터를 데이터 전송 라인을 통해 시스템의 상위 모듈로 전송하는 제2전송부를 포함함을 특징으로 한다.

<28> 제1전송부는 시스템의 상위 모듈로부터 입력된, 판독 또는 기록할 데이터의 어드레스와 기록할 데이터를 차례로 저장해 메모리 모듈로 전송 대기하는 어드레스 큐(queue)를 포함함이 바람직하다.

<29> 상기 제1전송부를 이용한 데이터 기록시, 기록할 위치 어드레스는 제1전송부의 어드레스 큐에 먼저 저장되고, 기록할 데이터가 다음에 저장되어, 먼저 저장된 순서대로 어드레스 라인을 통해 메모리 모듈로 전송됨이 바람직하다.

<30> 제2전송부는 메모리 모듈로부터 판독한 데이터를 데이터 전송 라인을 통해 차례로 수신 및 저장해, 시스템의 상위 모듈로 전송 대기하는 데이터 큐를 포함함이 바람직하다

- <31> 제1전송부는 시스템의 상위 모듈로부터 입력된 어드레스를 차례로 저장해 어드레스 전송 라인을 통해 메모리 모듈로 전송하는 어드레스 큐를 포함하고, 제2전송부는 상위 모듈에서 입력된 기록할 데이터를 차례로 저장해 어드레스 라인을 통해 메모리 모듈로 전송하는 기록 데이터 큐 및, 메모리 모듈로부터 데이터 라인을 통해 수신한 판독 데이터를 차례로 저장해 상위 모듈로 전송하는 판독 데이터 큐를 포함함이 바람직하다.
- <32> 상기 제1, 제2전송부를 이용한 데이터 기록시 어드레스 큐에 저장된 어드레스가 어드레스 라인을 통해 메모리 모듈로 먼저 전송되고, 소정 타이밍 후에 기록 데이터 큐에 저장된 데이터가 상기 어드레스 라인을 통해 메모리 모듈로 전송됨이 바람직하다.
- <33> 상기 과제를 해결하기 위한, 시스템의 상위 모듈로부터 메모리 모듈의 데이터를 판독하거나 메모리 모듈에 데이터를 기록하라는 명령을 입력받아 메모리 모듈 액세스를 제어하는 장치는, 어드레스 데이터를 래치하는 어드레스 래치; 판독했거나 기록할 데이터를 래치하는 데이터 래치; 어드레스 래치로부터 수신된 어드레스와, 데이터 래치로부터 수신된 기록할 데이터를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 어드레스 및 기록 데이터 큐; 및 메모리 모듈로부터 데이터 라인을 통해 수신한 판독 데이터를 차례로 저장해 상위 모듈로 전송하는 데이터 큐를 포함함을 특징으로 한다.
- <34> 상기 과제를 해결하기 위한, 시스템의 상위 모듈로부터 메모리 모듈의 데이터를 판독하거나 메모리 모듈에 데이터를 기록하라는 명령을 입력받아 메모리 모듈 액세스를 제어하는 장치는, 어드레스 데이터를 래치하는 어드레스 래치; 판독했거나 기록할 데이터를 래치하는 데이터 래치; 어드레스 래치로부터 수신된 어드레스를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 어드레스 큐; 데이터 래치로부터 수신

된 기록할 데이터를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 기록 데이터 큐; 및 메모리 모듈로부터 데이터 라인을 통해 수신한 판독 데이터를 차례로 저장해 상위 모듈로 전송하는 판독 데이터 큐를 포함함을 특징으로 한다.

<35> 상기 과제를 해결하기 위한, 시스템의 상위 모듈로부터 발생한 메모리 판독 또는 기록 명령을 수행하는 메모리 제어 장치는, 어드레스와 기록할 데이터를 어드레스 라인을 통해 전송하고, 판독한 데이터는 데이터 라인을 통해 수신하는 메모리 제어기; 및 어드레스와 기록 데이터를 분리해 각각 메모리 버퍼와 기록 데이터 버퍼로 보낸 후 메모리 셀에 기록을 수행하고, 메모리에서 읽은 판독 데이터는 데이터 라인을 통해 메모리 제어기로 전송하는 메모리 모듈을 포함함을 특징으로 한다.

<36> 상기 메모리 제어기는, 어드레스 데이터를 래치하는 어드레스 래치; 판독했거나 기록할 데이터를 래치하는 데이터 래치; 어드레스 래치로부터 수신된 어드레스와, 데이터 래치로부터 수신된 기록할 데이터를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 어드레스 및 기록 데이터 큐; 및 메모리 모듈로부터 데이터 라인을 통해 수신한 판독 데이터를 차례로 저장해 상위 모듈로 전송하는 데이터 큐를 포함함이 바람직하다.

<37> 상기 메모리 제어기는, 어드레스 데이터를 래치하는 어드레스 래치; 판독했거나 기록할 데이터를 래치하는 데이터 래치; 어드레스 래치로부터 수신된 어드레스를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 어드레

스 큐; 데이터 래치로부터 수신된 기록할 데이터를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 기록 데이터 큐; 및 메모리 모듈로부터 데이터 라인을 통해 수신한 판독 데이터를 차례로 저장해 상위 모듈로 전송하는 판독 데이터 큐를 포함함이 바람직하다.

<38> 상기 메모리 모듈은, 어드레스 라인을 통해 수신한 어드레스 데이터 중 컬럼(column) 어드레스를 저장하는 컬럼 어드레스 버퍼(CA); 상기 어드레스 데이터 중 로우(row) 어드레스를 저장하는 로우 어드레스 버퍼(RA); 어드레스 라인을 통해 수신한 데이터를 저장하는 기록 데이터 버퍼; 기록시 CA와 RA로부터 해당 어드레스 위치에 상기 기록 데이터 버퍼에 저장된 데이터를 저장시키고, 판독시 해당 어드레스 위치에 있는 데이터를 유출하는 메모리 셀; 및 판독시 상기 메모리 셀로부터 유출된 데이터를 저장해 데이터 라인을 통해 메모리 제어기로 전송되도록 하는 판독 데이터 버퍼를 포함함이 바람직하다.

<39> 이하에서 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

<40> 도 3은 본 발명의 메모리 제어 장치를 간략하게 도시한 것이다.

<41> 도 3을 참조하면, 메모리 제어 장치는 메모리 제어기(300)를 포함해, 시스템의 상위 모듈(미도시)로부터의 지시에 따라 메모리 모듈(310)을 액세스하고 데이터를 판독 또는 기록한다.

<42> 메모리 제어기(300)는 제1전송부(301)와 제2전송부(302)를 구비한다.

<43> 제1전송부(301)는 판독해야 하거나 기록할 데이터의 어드레스 및, 그와 전송 방향이 동일한 기록할 데이터를 어드레스 라인을 통해 메모리 모듈(310)로 전송한

다. 제1전송부(301)로 입력되는 어드레스 (데이터) 및 기록할 데이터는 시스템의 상위 모듈로부터 메모리 제어기(300)로 입력되는 것이다.

<44> 제2전송부(302)는 메모리 모듈(310)로부터 판독한 데이터를 데이터 전송 라인을 통해 입력 받아 시스템의 상위 모듈로 보낸다.

<45> 도 3의 메모리 제어 장치는 신호의 전송 방향에 따라 신호 전송 처리를 수행하는 것으로, 메모리 모듈(310)에 기록할 데이터와 메모리의 어드레스가 어드레스 전송 라인을 통해 메모리 모듈(310)로 전송한다. 메모리 모듈(310)에서 판독한 데이터는 데이터 전송 라인을 통해 전송되므로, 판독 및 기록 명령의 시간적인 갭(gap)이 짧더라도, 판독한 데이터와 기록할 데이터가 동일한 전송 라인에서 병목하는 현상이 발생하지 않게 된다.

<46> 도 4는 본 발명의 메모리 제어 장치의 일실시예를 도시한 것이다.

<47> 도 4를 참조하면 메모리 제어 장치의 메모리 제어기(400)는 어드레스 래치(AL)(401), 데이터 래치(DL)(402), 어드레스 및 기록 데이터 큐(MWAQ)(403) 및 판독 데이터 큐(RDQ)(404)를 포함한다.

<48> 어드레스 래치(401)는 시스템의 상위 모듈(미도시)에서 메모리 제어기(400)로 입력되는 어드레스 데이터를 래치한다.

<49> 데이터 래치(402)는 시스템의 상위 모듈로부터 입력되어 메모리 모듈(410)에 기록할 데이터나, 메모리 모듈(410)로부터 시스템의 상위 모듈로 나갈 판독 데이터를 래치한다.

- <50> 어드레스 및 기록 데이터 큐(403)는 어드레스 래치(401)로부터 래치된 어드레스 데이터와, 데이터 래치(402)로부터 래치된 기록할 데이터를 차례로 저장해 전송 대기시키는 버퍼이다. 어드레스 및 기록 데이터 큐(403)로부터 대기중인 어드레스 및 기록 데이터가, 시스템에서 주어진 메모리 액세스 프로토콜에 따라 메모리 제어기(400)와 메모리 모듈(410) 사이의 어드레스 전송 라인(405)을 통해 메모리 모듈(410)로 전송된다.
- <51> 판독 데이터 큐(404)는 메모리 제어기(400)와 메모리 모듈(410) 사이의 데이터 전송 라인(406)을 통해 메모리 모듈(410)로부터 받은 판독 데이터를 차례로 저장해 데이터 래치(402)를 통해 시스템의 상위 모듈로 전송하는 버퍼이다.
- <52> 데이터 기록시, 기록할 위치 어드레스는 어드레스 및 기록 데이터 큐(403)에 먼저 저장되고, 기록할 데이터가 다음에 저장되어, 먼저 저장된 순서대로 어드레스 라인(405)을 통해 메모리 모듈(410)로 전송되어, 메모리 모듈(410)에서 기록이 수행될 것이다.
- <53> 메모리 모듈(410)의 구성은 도 1에 도시된 것과 같은 일반적인 구성 요소들을 포함해 유사한 기능을 수행한다. 즉, 메모리 제어기(400)로부터 제공된 컬럼 어드레스 데이터를 해석하는 레지스터(CA)(411), 로우 어드레스 데이터를 해석하는 로우 어드레스를 해석하는 레지스터(RA)(412), CA와 RA로부터 해석된 어드레스 행열로 이뤄진 메모리 셀(413), 메모리 셀(413)에서 판독한 데이터를 임시 저장하는 판독 데이터 버퍼(Rd, Read data buffer)(414) 및 메모리 셀(413)에 기록될 데이터를 임시 저장하는 버퍼(Wr, Write data buffer)(415)를 포함한다. 그러나, 본 발명의 적용시, 판독 데이터와 기록 데이터의 전송 경로를 달리한 메모리 제어기(400)의 구성에 맞춰, 메모리 모듈(410)은 어드레스 데이터 라인(405)으로부터 들어 오는 기록 데이터를 기록 데이터 버퍼(415)로 보내는 추가 신호 라인(416)을 포함하는 등, 본 발명의 메모리 제어 방식에 따라 어드레스 데

이터와 기록 데이터를 구분해 기록 데이터를 메모리의 셀(413)에 저장하는 여러 가지 다양한 방식으로 구현될 수 있다.

<54> 도 5는 도 4의 메모리 제어 장치에서의 데이터 판독 및 기록 관련 타이밍도의 일실시예이다.

<55> (a)는 시스템에서 발생한 클록 신호로서, 메모리 액세스시 클록 신호에 맞춰 소정 메모리 액세스 프로토콜이 수행될 것이다.

<56> (b)는 소정 메모리 액세스 프로토콜에 따른 소정 간격으로 어드레스 라인을 통해 전송되는 어드레스 및 데이터이다. (b)에서는 시스템 상위 모듈에서 메모리 판독 명령에 바로 뒤이어 메모리 기록 명령이 수행된 경우의 신호 타이밍의 예를 보이고 있다. 즉, 판독할 어드레스의 로우(row) 어드레스 - 기록할 어드레스의 로우 어드레스 - 판독할 어드레스의 컬럼(column) 어드레스 - 기록할 어드레스의 컬럼 어드레스 - 기록할 데이터의 순서인 신호 흐름이 보여진다. 어드레스 전송 이후 해당 데이터의 전송 간격 등은 상술한 소정 메모리 액세스 프로토콜에 의해 결정될 것이다.

<57> (c)는 로우 어드레스 전송의 동기를 위한 스트로브 신호(RAS)이다.

<58> (d)는 컬럼 어드레스 전송의 동기를 위한 스트로브 신호(CAS)이다.

<59> (e)는 메모리 모듈로부터 판독해, 데이터 라인을 통해 전송되는 판독 데이터를 보인다.

<60> 도 5로부터, 메모리 판독 명령과 기록 명령이 거의 동시에 발생될 때에도 전송 라인을 달리한 데이터 전송에 따라, 판독 데이터와 기록 데이터가 하나의 데이터 라인에서 충돌하거나 병목하는 현상이 일어나지 않음을 알 수 있다.

- <61> 도 6은 본 발명의 메모리 제어 장치의 제2실시예를 도시한 것이다.
- <62> 도 6을 참조하면 메모리 제어 장치의 메모리 제어기(600)는 어드레스 래치(AL)(601), 데이터 래치(DL)(602), 어드레스 큐(603), 판독 데이터 큐(604) 및 기록 데이터 큐(605)를 포함한다.
- <63> 어드레스 래치(601)는 시스템의 상위 모듈(미도시)에서 메모리 제어기(600)로 입력되는 어드레스 데이터를 래치한다.
- <64> 데이터 래치(602)는 시스템의 상위 모듈로부터 입력되어 메모리 모듈(610)에 기록할 데이터나, 메모리 모듈(610)로부터 시스템의 상위 모듈로 나갈 판독 데이터를 래치한다.
- <65> 어드레스 큐(603)는 어드레스 래치(601)로부터 래치된 어드레스 데이터를 차례로 저장해 전송 대기시킨 후 소정 타이밍에 어드레스 라인(606)을 통해 어드레스 데이터를 메모리 모듈(610)로 전송시킨다.
- <66> 판독 데이터 큐(604)는 메모리 제어기(600)와 메모리 모듈(610) 사이의 데이터 전송 라인(607)을 통해 메모리 모듈(610)로부터 받은 판독 데이터를 차례로 저장해 데이터 래치(602)를 통해 시스템의 상위 모듈로 전송하는 버퍼이다.
- <67> 기록 데이터 큐(605)는 데이터 래치(602)로부터 래치된 기록할 데이터를 차례로 저장해 전송 대기시키는 버퍼이다. 기록 데이터 큐(605)로부터 대기중인 기록 데이터는 시스템에서 주어진 메모리 액세스 프로토콜에 따라 메모리 제어기(600)와 메모리 모듈(610) 사이의 어드레스 전송 라인(606)을 통해 메모리 모듈(610)로 전송된다.

- <68> 데이터 기록시 어드레스 큐(603)에 저장된 어드레스가 어드레스 라인(606)을 통해 메모리 모듈(610)로 먼저 전송되고, 소정 타이밍 후에 기록 데이터 큐(605)에 저장된 데이터가 상기 어드레스 라인(606)을 통해 메모리 모듈(610)로 전송되어, 메모리 모듈(610)에서 데이터 기록이 수행될 것이다
- <69> 메모리 모듈(610)의 구성은 도 4에서 도시되어 설명된 것과 동일할 것이다.
- <70> 도 6의 실시예 역시 도 5에 도시된 타이밍도를 그 예로 들 수 있다.
- <71> 도 7은 본 발명의 메모리 제어 장치에서 메모리 기록시의 제어 방법을 설명하기 위한 예시도이다.
- <72> 도 7 및 도 4를 참조하면, 메모리 모듈로의 데이터 기록(쓰기)시, 데이터 크기에 비해 어드레스 전송 라인의 수용 능력이 모자라기 때문에, 수 차례에 걸쳐 데이터를 쪼개어 어드레스 모듈의 한 어드레스 안에 기록함을 알 수 있다.
- <73> 어드레스 및 기록 데이터 큐(403)는 차례로, R-C-0-1, R-C-2-3, R-C-4-5, R-C-6-7의 단위로 저장한 후 단위별로 차례로 메모리 모듈(410)로 전송한다. 여기서 R, C는 네 경우의 스트림 모두 동일한 어드레스 로우 및 컬럼이 사용된다. 0, 1, 2, 3, 4, 5, 6, 7은 각각 한 바이트 씩의 데이터로서, 기록할 전체 데이터를 바이트 단위로 차례로 분리되어, 두 바이트 씩 어드레스 및 기록 데이터 큐(403)로부터 전송되어 나간다. 이것은 메모리 기록 방식이 전체 기록(full-write) 방식인 경우에 해당한다.
- <74> 메모리 기록 방식이 부분 기록(partial-write) 방식이면, 시스템의 상위 모듈로부터 가져 온 일부 바이트의 데이터는 어드레스 및 기록 데이터 큐(403) 중 해당하는 바이트를 저장할 부분에 저장되어 전송된다.

<75> 본 발명의 메모리 제어 방식에 의한 판독 및 기록 데이터의 전송 라인 분리는, DDR SRAM과 같이 클록 신호의 업 및 다운 에지(edge) 모두에서 데이터를 전송하는 메모리에서 보다 효율적으로 작용할 수 있다. 즉, 판독 명령과 기록 명령이 거의 동시에 이루어지고 그에 따라 전송 방향이 서로 다른 판독 데이터와 기록 데이터가 전송될 때 발생가능한 병목현상이, 전송 방향에 따른 전송 라인을 서로 달리 함으로써 해결될 수 있게 된다.

<76> 상술한 기술을 특히 DDR SDRAM에 적용할 때, DDR SDRAM의 장점인 빠른 데이터 전송률을 담보하면서 Rambus Dram의 안정적 전송 성능을 취할 수 있게 된다. 또한 기존의 SDRAM 코어(core)를 그대로 사용하기 때문에 제품 생산시 가격에 대한 부담이 더 발생되지 않는다.

【발명의 효과】

<77> 본 발명에 의하면, 기록과 판독 데이터의 전송 라인을 달리하여 메모리로부터 데이터 액세스시 병목현상이 해소됨으로써 빠른 전송률과 안정적 전송을 가능하게 한다.

【특허청구범위】**【청구항 1】**

시스템의 상위 모듈로부터 메모리 모듈의 데이터를 판독하거나 메모리 모듈에 데이터를 기록하라는 명령을 입력받아 메모리 모듈 액세스를 제어하는 장치에 있어서,

판독 또는 기록할 데이터의 어드레스 및, 기록할 데이터를 어드레스 라인을 통해 메모리 모듈로 전송하는 제1전송부; 및

메모리 모듈로부터 판독한 데이터를 데이터 전송 라인을 통해 시스템의 상위 모듈로 전송하는 제2전송부를 포함함을 특징으로 하는 메모리 제어 장치.

【청구항 2】

제1항에 있어서, 제1전송부는

시스템의 상위 모듈로부터 입력된, 판독 또는 기록할 데이터의 어드레스와 기록할 데이터를 차례로 저장해 메모리 모듈로 전송 대기하는 어드레스 큐(queue)를 포함함을 특징으로 하는 메모리 제어 장치.

【청구항 3】

제2항에 있어서, 데이터 기록시

기록할 위치 어드레스는 제1전송부의 어드레스 큐에 먼저 저장되고, 기록할 데이터가 다음에 저장되어, 먼저 저장된 순서대로 어드레스 라인을 통해 메모리 모듈로 전송됨을 특징으로 하는 메모리 제어 장치.

【청구항 4】

제3항에 있어서,

전체 기록(full-write) 방식의 데이터 기록시, 기록할 전체 데이터를 바이트 단위로 차례로 분리하여, 소정 개수의 바이트씩을 동일한 어드레스와 함께 묶어 어드레스 큐로부터 메모리 모듈로 차례로 전송함을 특징으로 하는 메모리 제어 장치.

【청구항 5】

제3항에 있어서,

부분 기록(partial-write) 방식의 데이터 기록시, 시스템의 상위 모듈로부터 가져온 특정 바이트 위치의 데이터만이 어드레스 큐에 저장되어 어드레스와 함께 어드레스 큐로부터 메모리 모듈로 전송됨을 특징으로 하는 메모리 제어 장치.

【청구항 6】

제1항에 있어서, 제2전송부는

메모리 모듈로부터 판독한 데이터를 데이터 전송 라인을 통해 차례로 수신 및 저장해, 시스템의 상위 모듈로 전송 대기하는 데이터 큐를 포함함을 특징으로 하는 메모리 제어 장치.

【청구항 7】

제1항에 있어서,

제 1전송부는 시스템의 상위 모듈로부터 입력된 어드레스를 차례로 저장해 어드레스 전송 라인을 통해 메모리 모듈로 전송하는 어드레스 큐를 포함하고,

제2전송부는 상위 모듈에서 입력된 기록할 데이터를 차례로 저장해 어드레스 라인을 통해 메모리 모듈로 전송하는 기록 데이터 큐 및, 메모리 모듈로부터 데이터 라인을

통해 수신한 판독 데이터를 차례로 저장해 상위 모듈로 전송하는 판독 데이터 큐를 포함함을 특징으로 하는 메모리 제어 장치.

【청구항 8】

제7항에 있어서, 데이터 기록시

어드레스 큐에 저장된 어드레스가 어드레스 라인을 통해 메모리 모듈로 먼저 전송되고, 소정 타이밍 후에 기록 데이터 큐에 저장된 데이터가 상기 어드레스 라인을 통해 메모리 모듈로 전송됨을 특징으로 하는 메모리 제어 장치.

【청구항 9】

제8항에 있어서,

전체 기록(full-write) 방식의 데이터 기록시, 기록할 전체 데이터를 바이트 단위로 차례로 분리하여, 소정 개수의 바이트씩을 동일한 어드레스와 함께 묶어 어드레스 큐 및 데이터 기록 큐로부터 메모리 모듈로 차례로 전송함을 특징으로 하는 메모리 제어 장치.

【청구항 10】

제8항에 있어서,

부분 기록(partial-write) 방식의 데이터 기록시, 시스템의 상위 모듈로부터 가져온 특정 바이트 위치의 데이터만이 데이터 큐에 저장되어 어드레스 큐로부터의 어드레스와 함께 메모리 모듈로 전송됨을 특징으로 하는 메모리 제어 장치.

【청구항 11】

시스템의 상위 모듈로부터 메모리 모듈의 데이터를 판독하거나 메모리 모듈에 데이터를 기록하라는 명령을 입력받아 메모리 모듈 액세스를 제어하는 장치에 있어서,

어드레스 데이터를 래치하는 어드레스 래치;

판독했거나 기록할 데이터를 래치하는 데이터 래치;

어드레스 래치로부터 수신된 어드레스와, 데이터 래치로부터 수신된 기록할 데이터를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 어드레스 및 기록 데이터 큐; 및

메모리 모듈로부터 데이터 라인을 통해 수신한 판독 데이터를 차례로 저장해 상위 모듈로 전송하는 데이터 큐를 포함함을 특징으로 하는 메모리 제어 장치.

【청구항 12】

시스템의 상위 모듈로부터 메모리 모듈의 데이터를 판독하거나 메모리 모듈에 데이터를 기록하라는 명령을 입력받아 메모리 모듈 액세스를 제어하는 장치에 있어서,

어드레스 데이터를 래치하는 어드레스 래치;

판독했거나 기록할 데이터를 래치하는 데이터 래치;

어드레스 래치로부터 수신된 어드레스를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 어드레스 큐;

데이터 래치로부터 수신된 기록할 데이터를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 기록 데이터 큐; 및

메모리 모듈로부터 데이터 라인을 통해 수신한 판독 데이터를 차례로 저장해 상위 모듈로 전송하는 판독 데이터 큐를 포함함을 특징으로 하는 메모리 제어 장치.

【청구항 13】

시스템의 상위 모듈로부터 발생한 메모리 판독 또는 기록 명령을 수행하는 메모리 제어 장치에 있어서,

어드레스와 기록할 데이터를 어드레스 라인을 통해 전송하고, 판독한 데이터는 데이터 라인을 통해 수신하는 메모리 제어기; 및

어드레스와 기록 데이터를 분리해 각각 메모리 버퍼와 기록 데이터 버퍼로 보낸 후 메모리셀에 기록을 수행하고, 메모리에서 읽은 판독 데이터는 데이터 라인을 통해 메모리 제어기로 전송하는 메모리 모듈을 포함함을 특징으로 하는 메모리 제어 장치.

【청구항 14】

제13항에 있어서, 메모리 제어기는,

어드레스 데이터를 래치하는 어드레스 래치;

판독했거나 기록할 데이터를 래치하는 데이터 래치;

어드레스 래치로부터 수신된 어드레스와, 데이터 래치로부터 수신된 기록할 데이터를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 어드레스 및 기록 데이터 큐; 및

메모리 모듈로부터 데이터 라인을 통해 수신한 판독 데이터를 차례로 저장해 상위 모듈로 전송하는 데이터 큐를 포함함을 특징으로 하는 메모리 제어 장치.

【청구항 15】

제14항에 있어서,

전체 기록(full-write) 방식의 데이터 기록시, 기록할 전체 데이터를 바이트 단위로 차례로 분리하여, 소정 개수의 바이트씩을 동일한 어드레스와 함께 묶어 어드레스 및 데이터 기록 큐로부터 메모리 모듈로 차례로 전송함을 특징으로 하는 메모리 제어 장치.

【청구항 16】

제14항에 있어서,

부분 기록(partial-write) 방식의 데이터 기록시, 시스템의 상위 모듈로부터 가져온 특정 바이트 위치의 데이터만이 어드레스 및 데이터 기록 큐에 저장되어 어드레스와 함께 메모리 모듈로 전송됨을 특징으로 하는 메모리 제어 장치.

【청구항 17】

제13항에 있어서, 메모리 제어기는

어드레스 데이터를 래치하는 어드레스 래치;

판독했거나 기록할 데이터를 래치하는 데이터 래치;

어드레스 래치로부터 수신된 어드레스를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 어드레스 큐;

데이터 래치로부터 수신된 기록할 데이터를 차례로 저장해, 어드레스 라인을 통해 메모리 모듈로 차례로 전송하는 기록 데이터 큐; 및

메모리 모듈로부터 데이터 라인을 통해 수신한 판독 데이터를 차례로 저장해 상위 모듈로 전송하는 판독 데이터 큐를 포함함을 특징으로 하는 메모리 제어 장치.

【청구항 18】

제17항에 있어서,

전체 기록(full-write) 방식의 데이터 기록시, 기록할 전체 데이터를 바이트 단위로 차례로 분리하여, 소정 개수의 바이트씩을 동일한 어드레스와 함께 묶어 어드레스 큐 및 데이터 기록 큐로부터 메모리 모듈로 차례로 전송함을 특징으로 하는 메모리 제어 장치.

【청구항 19】

제17항에 있어서,

부분 기록(partial-write) 방식의 데이터 기록시, 시스템의 상위 모듈로부터 가져온 특정 바이트 위치의 데이터만이 데이터 큐에 저장되어 어드레스 큐로부터의 어드레스와 함께 메모리 모듈로 전송됨을 특징으로 하는 메모리 제어 장치.

【청구항 20】

제13항에 있어서, 상기 메모리 모듈은

어드레스 라인을 통해 수신한 어드레스 데이터 중 컬럼(column) 어드레스를 저장하는 컬럼 어드레스 버퍼(CA);

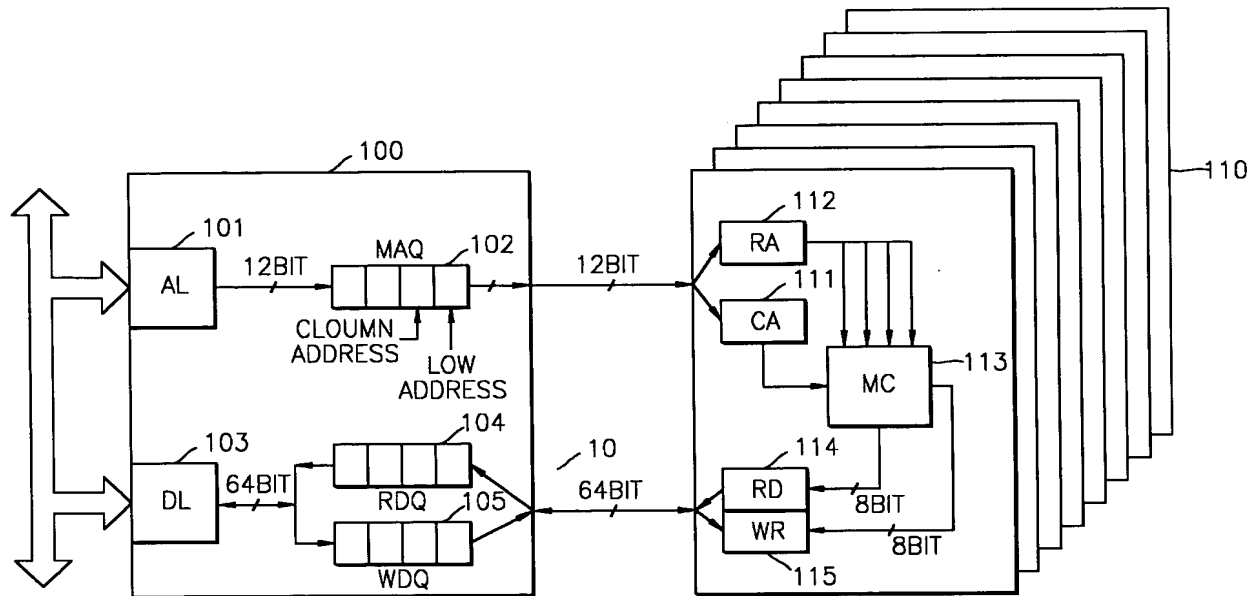
상기 어드레스 데이터 중 로우(row) 어드레스를 저장하는 로우 어드레스 버퍼(RA);

어드레스 라인을 통해 수신한 데이터를 저장하는 기록 데이터 버퍼;

기록시 CA와 RA로부터 해당 어드레스 위치에 상기 기록 데이터 버퍼에 저장된 데이터를 저장시키고, 판독시 해당 어드레스 위치에 있는 데이터를 유출하는 메모리 셀; 및

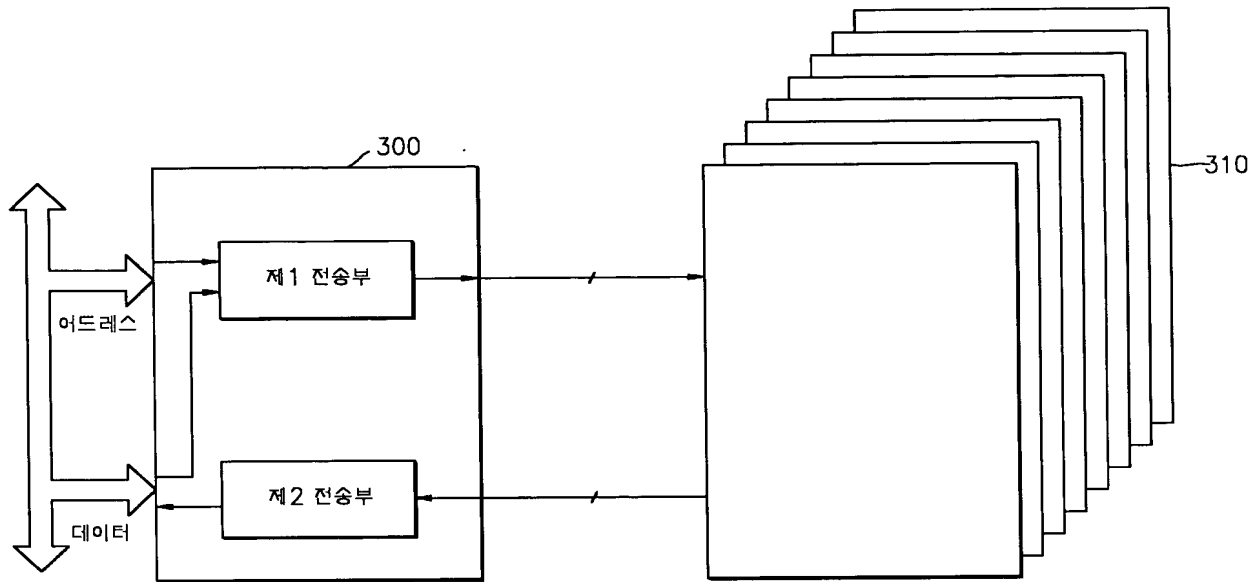
판독시 상기 메모리 셀로부터 유출된 데이터를 저장해 데이터 라인을 통해 메모리 제어기로 전송되도록 하는 판독 데이터 버퍼를 포함함을 특징으로 하는 메모리 제어 장치.

【도 1】

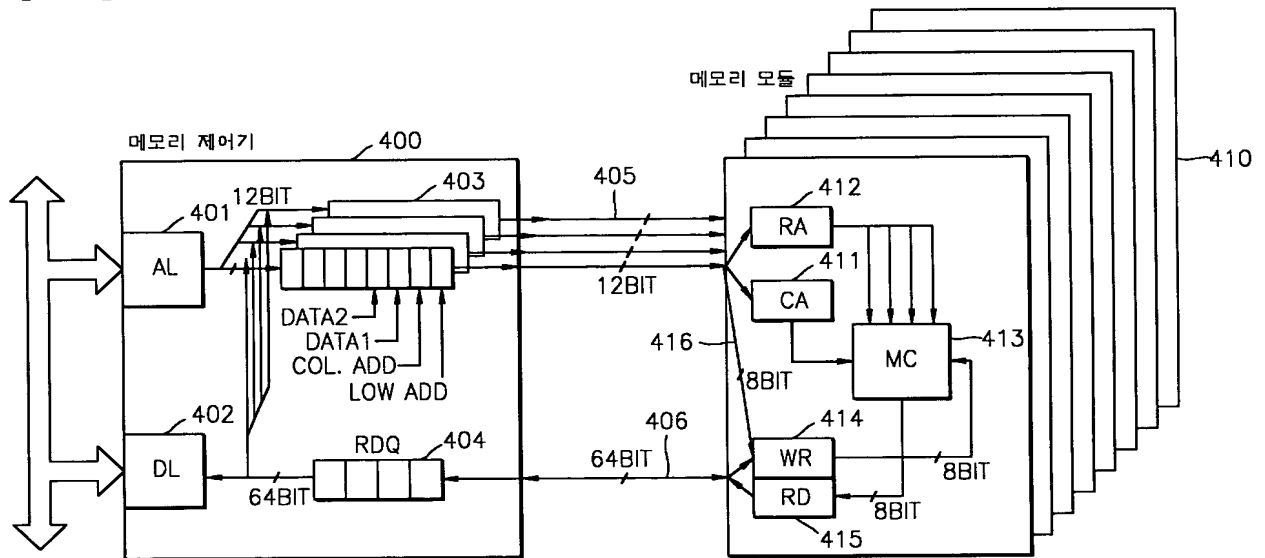


The diagram illustrates the timing of memory access operations. It shows a clock signal (클럭) at the top. Below it are the read address (판독 어드레스) and write address (기록 어드레스) signals, which are multiplexed onto the memory address bus (메모리 어드레스 BUS). The read address is indicated by 'ROW' and 'COL' labels, and the write address by 'ROW' and 'COL' labels. The read strobe (ROW STOE) and column strobe (COL. STROBE) signals are shown as pulses. The memory data bus (메모리 데이터 BUS) is shown with a bottleneck section (병목현상 구간) where the read data (판독 데이터) and write data (기록 데이터) signals are multiplexed. The read data is indicated by '판독 데이터' and the write data by '기록 데이터'.

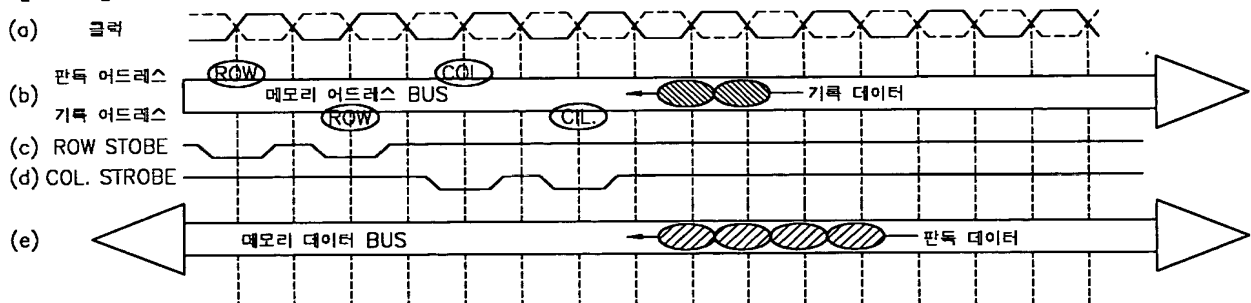
【도 3】



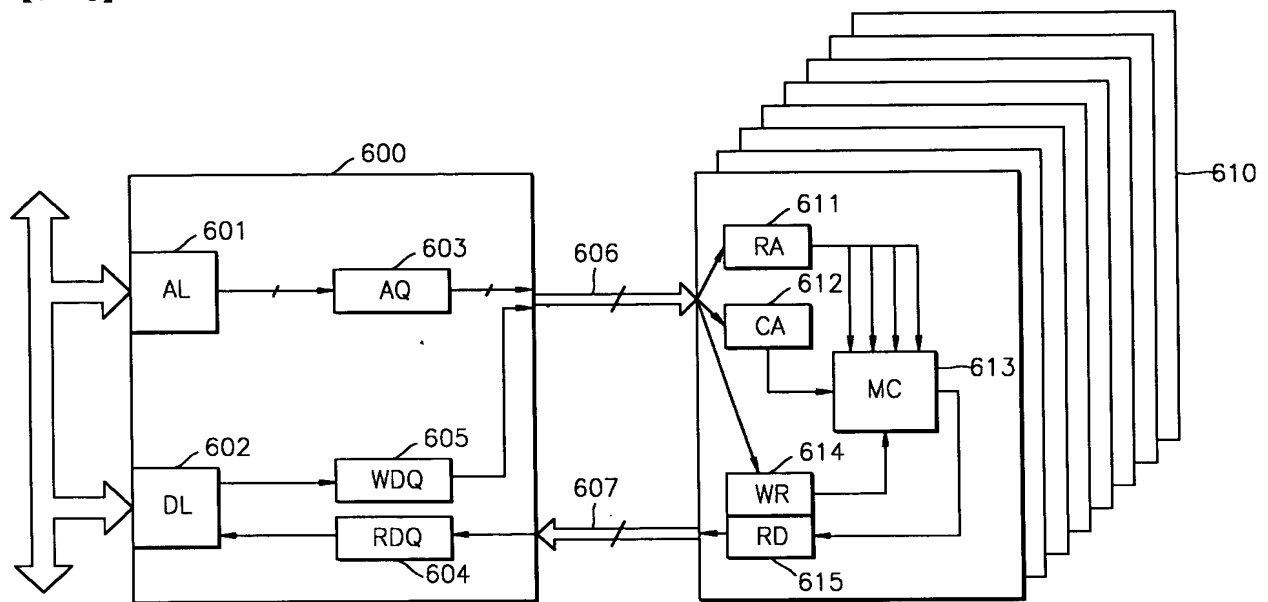
【도 4】



【도 5】



【도 6】



【도 7】

